

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-48663

(43) 公開日 平成10年(1998) 2月20日

(51) Int. Cl. ⁶

G02F 1/136

1/1343

H01L 29/786

識別記号

庁内整理番号

F I

G02F 1/136

1/1343

H01L 29/78

612

B

技術表示箇所

審査請求 未請求 請求項の数13 O L (全15頁)

(21) 出願番号 特願平8-207336

(22) 出願日 平成8年(1996) 8月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青木 良朗

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

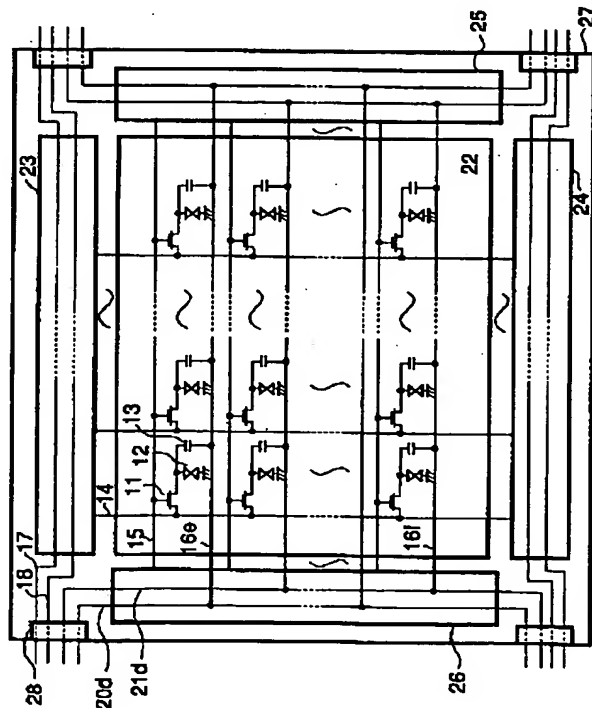
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 駆動回路一体型の液晶表示装置において、製造工程の増加を伴うことなく、駆動回路に電源電圧及びグランド電圧を安定して供給すること。

【解決手段】 本発明の液晶表示装置は、以下の構成を備える。即ち、一对の信号線駆動回路23、24は、アレイ基板27上の互いに対向する二辺に沿って配置され、一对の走査線駆動回路25、26は、互に対向する他の二辺に沿って配置される。表示領域22は、これらの駆動回路の間に挟まれたアレイ基板上に配置される。走査線駆動回路25、26の電源電圧配線20dは、走査線15と独立し且つ走査線15と平行に配置された第一の補助容量配線16eを介して互いに接続され、更に、走査線駆動回路25、26のグランド電源電圧配線21dは、第二の補助容量配線16fを介して互いに接続される。また、第一の補助容量配線16eと第二の補助容量線16fとは交互に配列される。



1

【特許請求の範囲】

【請求項 1】 アレイ基板上に配列された複数の信号線と、

信号線に直交して配列された複数の走査線と、
信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、

信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、

走査線と独立に配列され、画素電極に対して電気的に容量結合することにより補助容量を形成する補助容量線と、

アレイ基板上に複数の辺に沿って配置され、走査線あるいは信号線を駆動する複数の駆動回路と、
液晶層を介して画素電極に対向する対向電極が形成された対向基板と、

を備えた液晶表示装置において、
前記アレイ基板上の一辺に沿って配置された第一の駆動回路の電源電圧配線と、前記アレイ基板上の他の一辺に沿って配置された第二の駆動回路の電源電圧配線とを、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 2】 アレイ基板上に配列された複数の信号線と、

信号線に直交して配列された複数の走査線と、
信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、

信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、

走査線と独立に配列され、画素電極に対して電気的に容量結合することにより補助容量を形成する補助容量線と、

アレイ基板上に複数の辺に沿って配置され、走査線あるいは信号線を駆動する複数の駆動回路と、
液晶層を介して画素電極に対向する対向電極が形成された対向基板と、

を備えた液晶表示装置において、
前記アレイ基板上の一辺に沿って配置された第一の駆動回路のグランド電圧配線と、前記アレイ基板上の他の一辺に沿って配置された第二の駆動回路のグランド電圧配線とを、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 3】 アレイ基板上に配列された複数の信号線と、

信号線に直交して配列された複数の走査線と、
信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、

信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲート

2

が走査線に接続された薄膜トランジスタと、

走査線と独立に配列され、画素電極に対して電気的に容量結合することにより補助容量を形成する補助容量線と、

アレイ基板上に複数の辺に沿って配置され、走査線あるいは信号線を駆動する複数の駆動回路と、

液晶層を介して画素電極に対向する対向電極が形成された対向基板と、

を備えた液晶表示装置において、

前記アレイ基板上の一辺に沿って配置された第一の駆動回路の電源電圧配線と、前記アレイ基板上の他の一辺に沿って配置された第二の駆動回路の電源電圧配線とを、前記補助容量線の一部を介して、互いに接続するとともに、

前記アレイ基板上の一辺に沿って配置された第一の駆動回路のグランド電圧配線と、前記アレイ基板上の他の一辺に沿って配置された第二の駆動回路のグランド電圧配線とを、前記補助容量線の他の一部を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 4】 アレイ基板上に配列された複数の信号線と、

信号線に直交して配列された複数の走査線と、
信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、

信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、

各走査線と平行に且つ各走査線と独立に配列され、画素電極に電気的に容量結合することにより補助容量を形成する補助容量線と、

アレイ基板上の互いに対向する二つの辺に沿って配置された一対の信号線駆動回路と、

アレイ基板上の互いに対向する他の二つの辺に沿って配置された一対の走査線駆動回路と、

液晶層を介して画素電極に対向する対向電極が形成された対向基板と、

を備えた液晶表示装置において、

前記一対の走査線駆動回路の電源電圧配線を、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 5】 アレイ基板上に配列された複数の信号線と、

信号線に直交して配列された複数の走査線と、
信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、

信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、

各走査線と平行に且つ各走査線と独立に配列され、画素電極に電気的に容量結合することにより補助容量を形成

する補助容量線と、
 アレイ基板上の互いに対向する二つの辺に沿って配置された一対の信号線駆動回路と、
 アレイ基板上の互いに対向する他の二つの辺に沿って配置された一対の走査線駆動回路と、
 液晶層を介して画素電極に対向する対向電極が形成された対向基板と、
 を備えた液晶表示装置において、
 前記一対の走査線駆動回路のグランド電圧配線を、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 6】 アレイ基板上に配列された複数の信号線と、
 信号線に直交して配列された複数の走査線と、
 信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、
 信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、
 各走査線と平行に且つ各走査線と独立に配列され、画素電極に電氣的に容量結合することにより補助容量を形成する補助容量線と、
 アレイ基板上の互いに対向する二つの辺に沿って配置された一対の信号線駆動回路と、
 アレイ基板上の互いに対向する他の二つの辺に沿って配置された一対の走査線駆動回路と、
 液晶層を介して画素電極に対向する対向電極が形成された対向基板と、
 を備えた液晶表示装置において、
 前記一対の走査線駆動回路の電源電圧配線を、前記補助容量線の一部を介して、互いに接続するとともに、
 前記一対の走査線駆動回路のグランド電圧配線を、前記補助容量線の他の一部を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 7】 電源電圧配線を互いに接続する前記一部の補助容量線と、グランド電圧配線を互いに接続する前記他の一部の補助容量線とを交互に配列したことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】 前記走査線駆動回路の電源電圧配線と前記信号線駆動回路の電源電圧配線とを、前記信号線駆動回路と前記走査線駆動回路が互いに隣接するアレイ基板上の角部付近で互いに接続するとともに、
 前記走査線駆動回路のグランド電圧配線と前記信号線駆動回路のグランド電圧配線とを、前記信号線駆動回路と前記走査線駆動回路が互いに隣接するアレイ基板上の角部付近で互いに接続したことを特徴とする請求項 6 あるいは請求項 7 に記載の液晶表示装置。

【請求項 9】 アレイ基板上に配列された複数の信号線と、
 信号線に直交して配列された複数の走査線と、

信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、
 信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、
 各走査線と平行に且つ各走査線と独立に配列され、画素電極に電氣的に容量結合することにより補助容量を形成する補助容量線と、
 アレイ基板上の一辺に沿って配置された信号線駆動回路と、
 アレイ基板上の他の一辺に沿って配置された走査線駆動回路と、
 液晶層を介して画素電極に対向する対向電極が形成された対向基板と、
 を備えた液晶表示装置において、
 前記信号線駆動回路の電源電圧配線と前記走査線駆動回路の電源電圧配線とを、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 10】 アレイ基板上に配列された複数の信号線と、
 信号線に直交して配列された複数の走査線と、
 信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、
 信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、
 各走査線と平行に且つ各走査線と独立に配列され、画素電極に電氣的に容量結合することにより補助容量を形成する補助容量線と、
 アレイ基板上の一辺に沿って配置された信号線駆動回路と、
 アレイ基板上の他の一辺に沿って配置された走査線駆動回路と、
 液晶層を介して画素電極に対向する対向電極が形成された対向基板と、
 を備えた液晶表示装置において、
 前記信号線駆動回路のグランド電圧配線と前記走査線駆動回路のグランド電圧配線とを、前記補助容量線を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項 11】 アレイ基板上に配列された複数の信号線と、
 信号線に直交して配列された複数の走査線と、
 信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と、
 信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと、
 各走査線と平行に且つ各走査線と独立に配列され、画素電極に電氣的に容量結合することにより補助容量を形成する補助容量線と、

アレイ基板上の一辺に沿って配置された信号線駆動回路と、
アレイ基板上の他の一辺に沿って配置された走査線駆動回路と、

液晶層を介して画素電極に対向する対向電極が形成された対向基板と、

を備えた液晶表示装置において、

前記信号線駆動回路の電源電圧配線と、前記走査線駆動回路の電源電圧配線とを、前記補助容量線の一部を介して、互いに接続するとともに、

前記信号線駆動回路のグランド電圧配線と、前記走査線駆動回路のグランド電圧配線とを、前記補助容量線の他の一部を介して、互いに接続したことを特徴とする液晶表示装置。

【請求項12】 電源電圧配線を互いに接続する前記一部の補助容量線と、グランド電圧配線を互いに接続する前記他の一部の補助容量線とを交互に配列したことを特徴とする請求項11に記載の液晶表示装置。

【請求項13】 前記信号線駆動回路の電源電圧配線と前記走査線駆動回路の電源電圧配線とを、前記信号線駆動回路と前記走査線駆動回路が互いに隣接するアレイ基板上の角部付近で互いに接続するとともに、前記信号線駆動回路が配置された辺の対辺、及び前記走査線駆動回路が配置された辺の対辺を通る様に、アレイ基板上の縁に沿って設けられた電源電圧配線を介して、互いに接続し、

更に、前記信号線駆動回路のグランド電圧配線と前記走査線駆動回路のグランド電圧配線とを、アレイ基板上の前記角部付近で互いに接続するとともに、前記信号線駆動回路が配置された辺の対辺、及び前記走査線駆動回路が配置された辺の対辺を通る様に、アレイ基板上の縁に沿って設けられたグランド電圧配線を介して、互いに接続したことを特徴とする請求項11あるいは請求項12に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アレイ基板上に駆動回路が組込まれたいわゆる駆動回路一体型の液晶表示装置に係り、特に、その駆動回路の構成に関する。

【0002】

【従来の技術】図11に、いわゆる駆動回路一体型の液晶表示装置の一般的な構成図を示す。なお、図11では、本願発明と従来技術との差異の理解を容易にするため、アレイ基板上における電源電圧配線17、20、グランド電圧配線18、21、及び補助容量線19、16の配置の状態で重点を置いて示してある。

【0003】信号線14と走査線15の各交差部には、各画素のスイッチング素子として用いられる薄膜トランジスタ（以下、TFTと記す）11が形成され、TFT（11）のソース電極には画素電極12が接続される。

信号線14からTFT（11）を介して画素電極12に供給された映像信号は、主として、画素電極12と対向電極（図示せず）との間の容量、及び画素電極12と補助容量線16との間の補助容量13に蓄積され、入力された映像信号に応じて、画素電極12と対向電極の間に挟まれた液晶層が駆動される。その結果、入力された映像信号に対応して各画素により表示が行われる。

【0004】表示領域22の周囲、即ちアレイ基板27の周縁部には、各辺に沿って、信号線14あるいは走査線15に各種信号を供給するための信号線駆動回路23、24、及び走査線駆動回路25、26が形成される。各駆動回路は、更にアレイ基板27の外部より、インターフェース部28を経由してタイミング制御信号、映像信号、電源電圧、グランド電圧等の供給を受ける。なお、インターフェース部28には、通常、OLB（Outer Lead Bonding）が用いられる。

【0005】上記の様に、駆動回路一体型の液晶表示装置では、表示部22の周囲のアレイ基板27上に画素駆動用の回路を形成するため、駆動回路を構成する各素子の形成工程は、表示領域を構成するTFT、画素電極及び各種の配線等の形成と同時に行われるのが一般的である。

【0006】この様に、駆動回路と表示領域とがアレイ基板上に一体的に形成されるので、低コスト化及びコンパクト化には効果がある。その一方、全体の低コスト化を実現するためには、外部駆動方式の回路においては一般的な、多層配線あるいは鍍金による配線厚膜化などの様な配線の低抵抗化の手法は、製造工程の複雑化を避ける意味から採用することができない。このため、駆動回路一体型の液晶表示装置においては、低抵抗化された配線構造を駆動回路に採用することは、これまで十分には行われてはいなかった。特に、駆動回路を正常に動作させる上で重要な要因となる電源電圧配線及びグランド電圧配線を十分に低抵抗化することができないことは、駆動回路の高速化や、駆動回路の安定動作を妨げる一因となっていた。

【0007】以上の問題を解決する一般的方法として、配線幅の拡大による低抵抗化が挙げられる。この方法を用いることにより、配線幅の拡大に反比例して配線抵抗を減らすことが可能となり、製造工程の簡略化に伴う配線の高抵抗化をある程度補うことができる。しかしながら、この方法を用いた場合、駆動回路内における配線面積の占める割合が増大するので、駆動回路一体型液晶表示装置の特徴の一つであった表示装置のコンパクト化の効果が損なわれる。

【0008】また、上記の問題を解決する他の方法として、電源電圧配線17、20、及びグランド電圧配線18、21を、アレイ基板上の駆動回路領域内において部分的にオーバーラップさせることにより、駆動回路領域内の電源電圧配線とグランド電圧配線との間にバイパス

コンデンサを形成する方法が挙げられる。この方法を用いることにより、配線幅を余り増大させずに、一体型駆動回路の安定動作を可能とすることができる。しかしながら、この方法を用いた場合、安定動作に十分なバイパスコンデンサの容量を確保するためには、電源電圧配線17、20とグランド電圧配線18、21のオーバーラップ面積を拡大するか、若しくはそれらの間隔を縮める方法が必要であり、その結果、駆動回路領域の面積の増大、あるいは電源電圧配線とグランド電圧配線との短絡不良の増加を招くなどの問題が生じていた。

【0009】また、上記の問題を解決する他の方法として、アレイ基板外部とのインターフェース28に近いアレイ基板27の外部で、電源電圧配線17、20とグランド電圧配線18、21の間にバイパスコンデンサを外部素子として付加する方法が挙げられる。この方法を用いることにより、バイパスコンデンサを駆動回路領域の内部に形成する場合に問題となっていた、駆動回路領域の面積の増大あるいは配線間の短絡不良の増加を防止することが可能となる。しかしながら、この方法を用いた場合でも、インターフェース部28から遠くなるにつれて、配線における電圧降下がおこるため、駆動回路の安定動作を維持することが困難となっていた。

【0010】また、上記の問題を解決する他の方法として、アレイ基板外部とのインターフェース部をアレイ基板の周囲に多数形成する方法が挙げられる。この方法を用いることにより、電源電圧配線、グランド電圧配線の高抵抗化を防ぎ、駆動回路の安定動作が可能になる。しかしながら、この方法を用いた場合、インターフェース部の増加は、表示領域の周辺部の面積の拡大を招くため、表示装置のコンパクト化が困難になるなどの欠点を持っている。

【0011】また、これら全般に関わる問題として、画素の高精細化に伴う駆動回路の高速化や、表示装置のコンパクト化に伴う表示領域周辺部の更なる狭額縁化に、上記の方法のみでは対応することが困難になって来ていると言う問題がある。

【0012】例えば、狭額縁化を実現する手法の一つとして、アレイ基板外部とのインターフェース部を一箇所にまとめ、表示領域の周辺の駆動回路を片側のみに配置して、駆動回路部を含めた周辺領域の占有面積を従来のほぼ半分にする構成があるが（いわゆる片側駆動方式）、特に、この様な構成を採用した場合に、電源電圧及びグランド電圧を安定供給し、駆動回路の高速動作を維持することは容易ではない。

【0013】

【発明が解決しようとする課題】本発明は、以上の様な問題を解決するために成されたもので、本発明は、アレイ基板上に駆動回路が表示領域とともに一体的に形成された駆動回路一体型液晶表示装置において、製造工程の増加を伴うことなく、駆動回路に対して電源電圧及びグ

ランド電圧を安定して供給する事が可能な駆動回路一体型液晶表示装置を提供することを目的とする

【0014】

【課題を解決するための手段】本発明の液晶表示装置は、アレイ基板上に配列された複数の信号線と；信号線に直交して配列された複数の走査線と；信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と；信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと；走査線と独立に配列され、画素電極に対して電気的に容量結合することにより補助容量を形成する補助容量線と；アレイ基板上に複数の辺に沿って配置され、走査線あるいは信号線を駆動する複数の駆動回路と；液晶層を介して画素電極に対向する対向電極が形成された対向基板と；を備えた液晶表示装置において、前記アレイ基板上の一辺に沿って配置された第一の駆動回路の電源電圧配線と、前記アレイ基板上の他の一辺に沿って配置された第二の駆動回路の電源電圧配線とを、前記補助容量線を介して、互いに接続したことを特徴とする。

【0015】また、上記の構成に代って、上記の二つの駆動回路のグランド電圧配線を、前記補助容量線を介して互いに接続することもできる。また、上記の構成に代って、上記の二つの駆動回路の電源電圧配線を補助容量線の一部（第一の補助容量線）を介して互いに接続するとともに、上記の二つの駆動回路のグランド電圧配線を補助容量線の他の一部（第二の補助容量線）を介して互いに接続することもできる。

【0016】上記の様に、アレイ基板上の一辺に沿って配置された第一の駆動回路の電源電圧配線（あるいはグランド電圧配線）と、アレイ基板上の他の一辺に沿って配置された第二の駆動回路の電源電圧配線（あるいはグランド電圧配線）を、補助容量線を介して互いに接続することにより、駆動回路に電源電圧配線（あるいはグランド電圧）を安定供給する事が可能となり、アレイ基板上に表示領域とともに一体的に形成された駆動回路の安定動作が確保され、表示の高精細化、表示装置の狭額縁化などの要求に対応することが可能となる。

【0017】また、表示領域の周辺に、一対の信号線駆動回路及び一対の走査線駆動回路が、それぞれ配置される構成の場合、本発明の液晶表示装置は、アレイ基板上に配列された複数の信号線と；信号線に直交して配列された複数の走査線と；信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と；信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと；各走査線と平行に且つ各走査線と独立に配列され、画素電極に電気的に容量結合することにより補助容量を形成する補助容量線と；アレイ基板上の互いに対向する二つの辺に沿って配

置された一対の信号線駆動回路と；アレイ基板上の互いに対向する他の二つの辺に沿って配置された一対の走査線駆動回路と；液晶層を介して画素電極に対向する対向電極が形成された対向基板と；を備えた液晶表示装置において、前記一対の走査線駆動回路の電源電圧配線を、前記補助容量線を介して、互いに接続したことを特徴とする。

【0018】また、上記の構成に代って、前記一対の駆動回路のグランド電圧配線を、前記補助容量線を介して互いに接続することもできる。また、上記の構成に代って、前記一対の駆動回路の電源電圧配線を前記補助容量線の一部（第一の補助容量線）を介して互いに接続するとともに、前記一対の駆動回路のグランド電圧配線を前記補助容量線の他の一部（第二の補助容量線）を介して互いに接続することもできる。なお、この様な構成の場合、第一の補助容量線と第二の補助容量線とを交互に配置することが望ましい。

【0019】上記の様に、アレイ基板上の互いに対向する二辺に沿って配置された一対の駆動回路の電源電圧配線（あるいはグランド電圧配線）を、補助容量線を用いて互いに接続することによって、駆動回路に電源電圧（あるいはグランド電圧）を安定供給する事が可能となり、アレイ基板上に表示領域ともに一体的に形成された駆動回路の安定動作が確保され、表示の高精細化、表示装置の狭額縁化などの要求に対応することが可能となる。

【0020】更に、電源電圧配線を互いに接続する補助容量線（第一の補助容量線）と、グランド電圧配線を互いに接続する補助容量線（第二の補助容量線）とを、表示領域内において交互に配列することによって、補助容量電位の異なる画素が混在することによって生じる光透過率変化の空間周波数が高くなるため、表示ムラが視認され難くなる。その結果、補助容量電位の相違に起因する表示ムラの発生を最小限に抑える事が可能となる。

【0021】また、いわゆる片側駆動方式の液晶表示装置の場合には、本発明の液晶表示装置は、アレイ基板上に配列された複数の信号線と；信号線に直交して配列された複数の走査線と；信号線と走査線によりマトリクス状に区画される各領域に配置された画素電極と；信号線と走査線の各交点付近に形成され、ソースが画素電極に接続され、ドレインが信号線に接続され、ゲートが走査線に接続された薄膜トランジスタと；各走査線と平行に且つ各走査線と独立に配列され、画素電極に電気的に容量結合することにより補助容量を形成する補助容量線と；アレイ基板上の一辺に沿って配置された信号線駆動回路と；アレイ基板上の他の一辺に沿って配置された走査線駆動回路と；液晶層を介して画素電極に対向する対向電極が形成された対向基板と；を備えた液晶表示装置において、前記信号線駆動回路の電源電圧配線と前記走査線駆動回路の電源電圧配線とを、前記補助容量線を介

して、互いに接続したことを特徴とする。

【0022】この場合にも、先と同様に、上記の構成に代って、前記二つの駆動回路のグランド電圧配線を、前記補助容量線を介して互いに接続することもできる。また、前記二つの駆動回路の電源電圧配線を補助容量線の一部（第一の補助容量線）を介して互いに接続するとともに、前記二つの駆動回路のグランド電圧配線を補助容量線の他の一部（第二の補助容量線）を介して互いに接続することもできる。なお、この様な構成の場合にも、第一の補助容量線と第二の補助容量線とを交互に配置することが、望ましい。

【0023】即ち、信号線駆動回路の電源電圧配線（あるいはグランド電圧配線）と、走査線駆動回路の電源電圧配線（あるいはグランド電圧配線）とを、補助容量線を介して互いに接続することによって、それぞれの駆動回路に電源電圧（あるいはグランド電圧）を安定供給する事が可能となり、同様の効果を得ることが出来る。

【0024】更に、この様な片側駆動方式の液晶表示装置の場合には、信号線駆動回路の電源電圧配線と走査線駆動回路の電源電圧配線とを、信号線駆動回路と走査線駆動回路が互いに隣接するアレイ基板上の角部付近で互いに接続するとともに、アレイ基板の縁に沿って、前記信号線駆動回路が配置された辺の対辺、及び前記走査線駆動回路が配置された辺の対辺を通る電源電圧配線を設けて、この電源電圧配線を介して互いに接続し、更に、信号線駆動回路のグランド電圧配線と走査線駆動回路のグランド電圧配線とを、アレイ基板上の前記角部付近で互いに接続するとともに、アレイ基板の縁に沿って、前記信号線駆動回路が配置された辺の対辺、及び前記走査線駆動回路が配置された辺の対辺を通るグランド電圧配線を設けて、このグランド電圧配線を介して互いに接続する。

【0025】上記の構成の場合、駆動回路が配置されていないアレイ基板の縁に沿って、電源電圧配線及びグランド電圧配線を設けることによって、それぞれの駆動回路に電源電圧及びグランド電圧を安定的に供給することができ、片側駆動方式の液晶表示装置において、表示品質を向上させる効果がある。

【0026】

【発明の実施の形態】本発明の実施の形態を図面に基いて詳細に説明する。

（例1）図1は、本発明に基く駆動回路一体型の液晶表示装置の一例を示す回路構成図である。図中、22は表示領域、23、24は信号線駆動回路、25、26は走査線駆動回路、28はアレイ基板の外部とのインターフェース部、17、20aは電源電圧配線、18、21aはグランド電圧配線、14は信号線、15は走査線、16は補助容量線、11はTFT（画素TFT）、12は画素電極、13は補助容量を表す。

【0027】図1に示す様に、アレイ基板27の中央部

には表示領域22が形成され、表示領域22の周囲に当るアレイ基板27の周縁部には、上下一対の信号線駆動回路23、24、及び左右一対の走査線駆動回路25、26がそれぞれ形成される。信号線14と走査線15の各交差部にはTFT(11)が形成され、TFT(11)のゲート電極には走査線15が、ドレイン電極には信号線14が、ソース電極には画素電極12がそれぞれ接続される。また、画素電極12と補助容量線16との間で補助容量13が形成されている。

【0028】更に、この例では、左右一対の走査線駆動回路25、26の電源電圧配線20aが、各走査線15と平行に表示領域内に配列された補助容量線16を介して、互いに接続されている。

【0029】この結果、走査線駆動回路26は、アレイ基板27の外部からインターフェース28を経由して供給される経路に加えて、補助容量線16を経由して表示領域を挟んでアレイ基板の反対側の位置する走査線駆動回路24からも電源電圧を供給される形となる。

【0030】この様な構成をとることにより、駆動回路26、26内の電源電圧配線20aの幅を拡大すること無く、電源電圧をアレイ基板の外部から走査線駆動回路に安定的に供給することが可能になり、従来の構成(図11)と比較して、走査線駆動回路の動作をより確実なものとすることができる。

【0031】次に、図1に示した駆動回路一体型の液晶表示装置の製造プロセスについて説明する。図2は、上記の駆動回路一体型の液晶表示装置の断面構造の概要を示す断面図である。

【0032】先ず、ガラス基板61の上にプラズマCVD法、常圧CVD法等を用いて、窒化シリコン、酸化シリコン等の絶縁性のアンダーコート膜63を形成する。次に、プラズマCVD法により第一のアモルファスシリコン層(遮光層)64を形成した後、加熱工程により膜中の水素を低減させる。

【0033】次に、窒化シリコンから成る絶縁層65を形成し、その上に第二のアモルファスシリコン層66をプラズマCVD法によって形成し、更に脱水素化の工程を経た後、エキシマレーザを用いてアニールして、第二のアモルファスシリコン層66をポリシリコン化する。以上の工程で形成されたポリシリコン膜は、フォトリソグラフィングプロセスを経ることによりパターニングされ、駆動回路領域の能動素子(回路TFT)92、93のチャネル層71b、74、表示領域内の画素のスイッチング素子91(画素TFT)のチャネル層71、及び各画素の補助容量電極の下部電極72などが形成される。

【0034】次に、常圧CVD法により、ゲート絶縁膜67、並びに補助容量の絶縁膜67bとなる酸化シリコン層が形成される。この酸化シリコン層は高温加熱工程を経ることにより、欠陥の少ない緻密な膜となる。

【0035】次に、スパッタ法により、第一のMoW薄

膜(モリブデン・タングステン薄膜)68が形成される。このMoW薄膜68は、フォトリソグラフィングプロセスを経てパターニングされ、n型TFT(91、92)、及び補助容量の下部電極72を形成するためのイオンドーピングによる不純物注入のマスクとなる。更に、同じくスパッタ法により、第二のMoW薄膜69が形成され、パターニングされた後、駆動回路領域のp型TFT(93)を形成するための不純物注入のマスクとなる。上記の工程の後、第一のMoW薄膜68及び第二のMoW薄膜69は、再度パターニングされ、各TFTのゲート電極、駆動回路内の各種配線、補助容量電極の上部電極70及び補助容量線(16;図1)を形成する。その後、更にn型LDD(Lightly Doped Drain)73を形成するための不純物注入を行い、更に、基板を高温工程にてアニールすることにより注入不純物を活性化する。

【0036】次に、常圧CVD法によって第一の層間絶縁膜となる酸化シリコン層75を形成し、コンタクトホールを加工した後、スパッタ法によりアルミ薄膜を形成する。アルミ薄膜はフォトリソグラフィングプロセスを経てパターニングされ、TFTのソース電極77、ドレイン電極76、信号線(14;図1)、駆動回路領域の電源電圧配線41及びグランド電圧配線40などの各種の配線が形成される。更に、プラズマCVD法によって第二の層間絶縁膜81となる窒化シリコン層を形成し、コンタクトホールを加工した後、スパッタ法により透明電極であるITO膜を形成する。ITO膜はパターニングされて画素電極38になる。

【0037】一方、対向基板側のガラス基板62には、ブラックマトリクス45、カラーフィルタ47、48、及びそれらの上にITOからなる透明電極である対向電極43が形成される。

【0038】以上の工程を経てアレイ基板及び対向基板を作成した後、それらの対向面に、液晶の配向制御を行うポリイミド配向膜(39a、39b)を成膜して、両基板の表面の配向処理を行う。両基板をその周縁部近傍の貼り合わせシール領域46において貼り合わせた後、両基板間に液晶44を封入することにより、液晶セルが作成される。更に、液晶セルは、OLB(Outer Lead Bonding)等を用いてインターフェースを介して外部と接続される。

【0039】以上の様にして、駆動回路一体型の液晶表示装置が形成される。以上の工程において、駆動回路部のTFT(92、93)及び配線40、41等は、表示領域部のTFT(91)及び配線69、70、76、77等と同一の工程で形成される。なお、補助容量電極の上部電極70及び補助容量線(16;図1)はゲート電極を構成する金属薄膜層68、69の一部と同一のプロセスで形成され、第一の層間絶縁膜75に形成されたスルーホールを介して、駆動回路部の電源電圧配線41(20a;図1)に接続される。

【0040】(例2)図3は、本発明に基く駆動回路一体型の液晶表示装置の第二の例を示す回路構成図である。図中、20bは走査線駆動回路の電源電圧配線、21bは走査線駆動回路のグランド電圧配線、16bは補助容量線を表す。その他の構成については、第一の例に示した駆動回路一体型の液晶表示装置(図1)と同一であるので、同一の部分には同一の符号を付して、その説明を省略する。

【0041】図に示す様に、この例では、左右一対の走査線駆動回路25、26のグランド電圧配線21bが、各走査線15と平行に表示領域内に配列された補助容量線16bを介して、互いに接続される。この結果、走査線駆動回路26は、アレイ基板27の外部からインターフェース28を経由して供給される経路に加えて、補助容量線16bを経由して表示領域を挟んでアレイ基板27の反対側の位置する走査線駆動回路25からもグランド電圧を供給される形となる。

【0042】この様な構成をとることにより、走査線駆動回路25、26内のグランド電圧配線21bの幅を拡大すること無く、グランド電圧をアレイ基板27の外部から走査線駆動回路に安定的に供給することが可能になり、従来の構成(図11)と比較して、走査線駆動回路の動作をより確実なものとする事ができる。

【0043】(例3)図4は、本発明に基く駆動回路一体型の液晶表示装置の第三の例を示す回路構成図である。図中、20cは走査線駆動回路の電源電圧配線、21cは走査線駆動回路のグランド電圧配線、16c及び16dは補助容量線を表す。その他の構成については、第一あるいは第二の例に示した駆動回路一体型の液晶表示装置(図1、図2)と同一である。

【0044】図に示す様に、この例では、左右一対の走査線駆動回路25、26の電源電圧配線20cが各走査線15と平行に表示領域内に配列された一部の補助容量線16c(第一の補助容量線)を介して互いに接続されるとともに、グランド電圧配線21cが他の一部の補助容量線16d(第二の補助容量線)を介して互いに接続される。この結果、走査線駆動回路26は、アレイ基板27の外部からインターフェース28を経由して供給される経路に加えて、補助容量線16c、16dを経由して表示領域22を挟んでアレイ基板27の反対側の位置する走査線駆動回路25からも、電源電圧及びグランド電圧を供給される形となる。

【0045】この様な構成をとることにより、駆動回路25、26内の電源電圧配線20c及びグランド電圧配線21cの幅を拡大すること無く、電源電圧及びグランド電圧をアレイ基板27の外部から走査線駆動回路25、26に安定的に供給することが可能になり、従来の構成(図11)と比較して、走査線駆動回路の動作をより確実なものとする事ができる。

【0046】(例4)図5は、本発明に基く駆動回路一

体型の液晶表示装置の第四の例を示す回路構成図である。図中、20dは走査線駆動回路の電源電圧配線、21dは走査線駆動回路のグランド電圧配線、16e、16fは補助容量線を表す。その他の構成については、第三の例に示した駆動回路一体型の液晶表示装置(図4)と同一である。

【0047】図に示す様に、第三の例と同様に、左右一対の走査線駆動回路25、26の電源電圧配線20d及びグランド電圧配線21dが、補助容量線16e、16fを介してそれぞれ互いに接続されている。これに加えて、この例においては、電源電圧配線20dを互いに接続する補助容量線16e(第一の補助容量線)と、グランド電圧配線21dを互いに接続する補助容量線16f(第二の補助容量線)とが、表示領域内において交互に各走査線15と平行に配列されている。この様な構成をとることによって、第三の例と同様に、電源電圧及びグランド電圧をアレイ基板27の外部から走査線駆動回路25、26に安定的に供給することが可能になることに加えて、補助容量電位の異なる画素が混在することによって生じる光透過率変化の空間周波数が高くなるため、表示ムラが視認され難くなる。その結果、補助容量電位の相違に起因する表示ムラの発生を最小限に抑える事が可能となる。

【0048】(例5)図6は、本発明に基く駆動回路一体型液晶表示装置の第五の例を示す回路構成図である。図中、17eは信号線駆動回路の電源電圧配線、18eは信号線駆動回路のグランド電圧配線、20eは走査線駆動回路の電源電圧配線、21eは走査線駆動回路のグランド電圧配線を表す。その他の構成については、第四の例に示した駆動回路一体型の液晶表示装置(図5)と同一である。

【0049】図に示す様に、第四の例と同様に、電源電圧配線20eを互いに接続する補助容量線16e(第一の補助容量線)と、グランド電圧配線21eを互いに接続する補助容量線16f(第二の補助容量線)とが、表示領域内において各走査線15と平行に交互に配置されている。これに加えて、この例においては、アレイ基板の角部付近の、走査線駆動回路と信号線駆動回路が互いに隣接する部分で、走査線駆動回路の電源電圧配線20eが信号線駆動回路の電源電圧配線17eに、走査線駆動回路のグランド電圧配線21eが信号線駆動回路のグランド電圧配線18eに、それぞれ接続されている。

【0050】この様な構成をとることによって、従来の構成と比較して走査線駆動回路の動作を確実なものとして、信号線駆動回路の動作についても、より確実なものとする事が可能となる。

【0051】(例6)図7は、本発明に基く駆動回路一体型の液晶表示装置の第六の例を示す回路構成図である。図に示す様に、外部とのインターフェース部28fが一箇所のみとなっている。その他の構成については、

第五の例に示した駆動回路一体型の液晶表示装置（図 6）と同一である。

【0052】この様な構成をとることによって、従来の構成に比較して、アレイ基板上に一体形成された駆動回路の動作を、より確実なものとする事ができるだけでなく、液晶表示装置の小型化が可能となる。

【0053】（例 7）図 8 は、本発明に基く駆動回路一体型の液晶表示装置の第七の例を示す回路構成図である。

【0054】図に示す様に、この例では、信号線 14 及び走査線 15 は共に片側駆動となっている。即ち、アレイ基板 27 上の一辺（図では上辺側）に沿って信号線駆動回路 23 g が形成され、これに隣接する他の一辺（図では左辺側）に沿って、走査線駆動回路 26 g が形成される。一方、信号線駆動回路 23 g が形成されている辺の対辺側（図では下辺側）には、信号線駆動回路に代って、電源電圧配線 17 h 及びグランド電圧配線 18 h のみが配置され、走査線駆動回路 26 g が形成されている辺の対辺側（図では右辺側）には、走査線駆動回路に代って、電源電圧配線 20 h 及びグランド電圧配線 21 h のみが配置される。各電源電圧配線 20 g、17 h、17 g、20 h は順に接続され、同様に、各グランド電圧配線 21 g、18 h、18 g、21 h は順に接続され、アレイ基板 27 の周縁部に沿ってそれぞれ閉回路を構成している。その他の構成については、第六の例に示した駆動回路一体型の液晶表示装置（図 7）と同一である。なお、第六の例と同様に、外部とのインターフェース部 28 f は一箇所のみとなっている。

【0055】この様な構成をとることによって、片側駆動方式の液晶表示装置においても、アレイ基板上に一体形成された駆動回路の動作をより確実なものとする事ができるので、液晶表示装置の一層の小型化が可能となる。

【0056】（例 8）図 9 は、本発明に基く駆動回路一体型の液晶表示装置の第九の例を示す断面構成図である。この例では、第一の例（図 2）と異なり、画素電極 38 と信号線 76 との間の層間絶縁膜 82 として、低誘電率の有機保護膜を用いると共に、図に示す様に、対向基板 62 側にブラックマトリクス（45（図 2））が設けられていない。

【0057】この様に、層間絶縁膜 82 として低誘電率の有機保護膜を用いることによって、画素電極 38 と他の配線との間の電界のやりとりが低減されるため、従来の構成に比較して画素電極の周辺部でのエッジリバースの発生を低減することが可能となり、対向基板にブラックマトリクスを形成する必要がなくなる。従って、液晶表示装置の開口率を確保しつつ、補助容量の電位が表示に与える影響を最小限に抑えることが可能となる。

【0058】（例 9）図 10 は、本発明に基く駆動回路一体型の液晶表示装置の第九の例を示す断面構成図であ

る。この例では、図に示す様に、第一の例（図 2）と異なり、対向基板 62 側にはカラーフィルタ（47、48；図 2）を配置せず、これに代って、画素電極 38 とドレイン電極 76（信号線）との間の層間絶縁膜として、カラーレジスト 49、50 を使用している。

【0059】この様な構成をとることによって、対向基板にカラーフィルタを形成する必要がなくなるため、第一の例（図 2）あるいは第八の例（図 9）に示した構造と比較して、更に低コスト化が可能になる。

【0060】なお、本発明は上記の各例のみに限定されるものではない。例えば、アレイ基板上の駆動回路が、上記の例に示した製造工程とは異なる工程を経て形成されたものでも構わず、駆動回路内の能動素子が n 型、もしくは p 型の TFT のみによって構成されていても構わない。また、アレイ基板の外部より電源電圧もしくはグランド電圧の供給を受ける方式を取る構成であるならば、駆動回路の一部が TABIC や COG 等を用いてアレイ基板外部の素子によって構成されていても、上記の例の場合と同様の効果を得ることができる。

【0061】

【発明の効果】以上、説明した様に、駆動回路一体型の液晶表示装置において、アレイ基板上の異なる二辺に沿って配置された複数の駆動回路の電源電圧配線あるいはグランド電圧配線を、補助容量線を用いて互いに接続することによって、駆動回路の安定動作が可能となり、回路の高速化、表示の高精細化、液晶表示装置のコンパクト化等の要求に対応することが可能となる。

【0062】また、上記の構成の場合、従来の駆動回路一体型の液晶表示装置の製造工程に新たな工程を付け加える必要が無いので、製造コストの増加の要因とはならない。

【図面の簡単な説明】

【図 1】本発明に基く駆動回路一体型液晶表示装置の第一の例を示す回路構成図。

【図 2】図 1 の駆動回路一体型液晶表示装置の断面構造の概要を示す断面図。

【図 3】本発明に基く駆動回路一体型液晶表示装置の第二の例を示す回路構成図。

【図 4】本発明に基く駆動回路一体型液晶表示装置の第三の例を示す回路構成図。

【図 5】本発明に基く駆動回路一体型液晶表示装置の第四の例を示す回路構成図。

【図 6】本発明に基く駆動回路一体型液晶表示装置の第五の例を示す回路構成図。

【図 7】本発明に基く駆動回路一体型液晶表示装置の第六の例を示す回路構成図。

【図 8】本発明に基く駆動回路一体型液晶表示装置の第七の例を示す回路構成図。

【図 9】本発明に基く駆動回路一体型液晶表示装置の第八の例を示す断面構成図。

【図 10】本発明に基く駆動回路一体型液晶表示装置の第九の例を示す断面構成図。

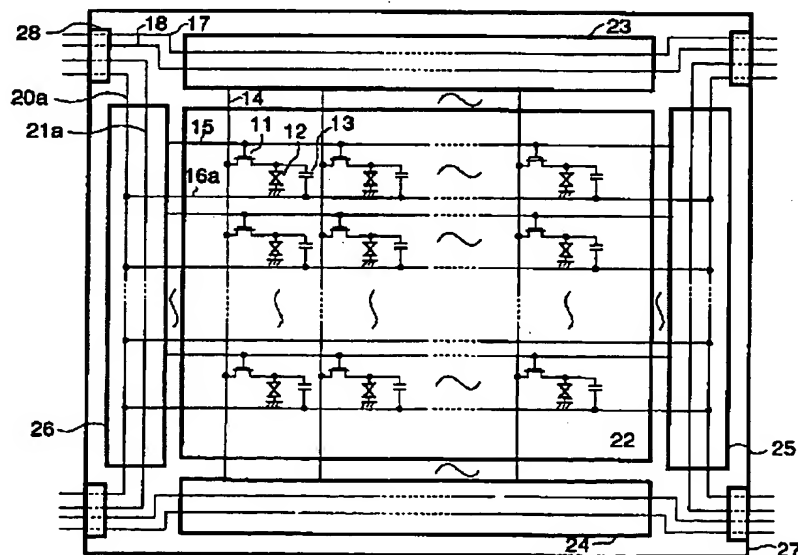
【図 11】従来の駆動回路一体型液晶表示装置の一例を示す回路構成図。

【符号の説明】

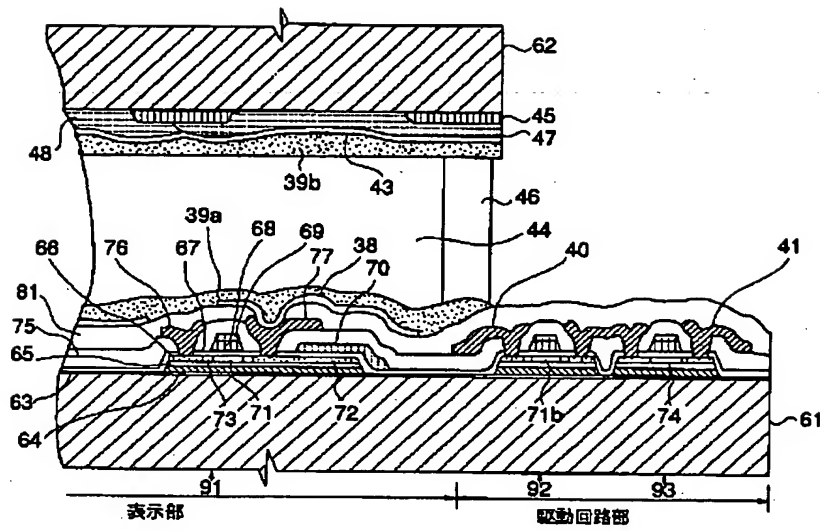
11・・・TFT（画素TFT）、
12・・・画素電極、
13・・・補助容量、
14・・・信号線、
15・・・走査線、
16、16a、16b・・・補助容量線、
16c、16e・・・第一の補助容量線
16d、16f・・・第二の補助容量線
17・・・信号線駆動回路用の電源電圧配線、
18・・・信号線駆動回路用のグランド電圧配線、
19・・・補助容量線、
20、20a～h・・・走査線駆動回路用の電源電圧配線、
21、21a～h・・・走査線駆動回路用のグランド電圧配線、
22・・・表示領域、
23、24・・・信号線駆動回路、
25、26・・・走査線駆動回路、
27・・・アレイ基板、
28、28f・・・インターフェース部、
38・・・画素電極（ITO薄膜）、
39a、39b・・・ポリイミド配向膜、
40・・・グランド電圧配線、
41・・・電源電圧配線、
43・・・対向電極（ITO薄膜）、

44・・・液晶層、
45・・・ブラックマトリクス、
46・・・貼り合わせシール領域、
47、48・・・カラーフィルタ、
49、50・・・カラーレジスト、
61・・・ガラス基板（アレイ基板側）、
62・・・ガラス基板（対向基板側）、
63・・・アンダーコート膜、
64・・・遮光層（第一のアモルファスシリコン層）、
65・・・絶縁膜（窒化シリコン層）、
66・・・ポリシリコン活性層、
67・・・ゲート絶縁膜、
68・・・ゲート電極（第一のMoW薄膜）、
69・・・ゲート電極（第二のMoW薄膜）、
70・・・補助容量電極の上部電極（第二のMoW薄膜）、
71、71b・・・チャネル領域（n型ポリシリコン領域）、
72・・・補助容量電極の下部電極（n型ポリシリコン領域）、
73・・・ライトドープn型ポリシリコン領域、
74・・・チャネル領域（p型ポリシリコン領域）、
75・・・第一の層間絶縁膜（酸化シリコン層）、
76・・・ドレイン電極（アルミ薄膜）、
77・・・ソース電極（アルミ薄膜）、
81・・・第二の層間絶縁膜（窒化シリコン層）、
82・・・第二の層間絶縁膜（低誘電率有機薄膜層）、
91・・・画素TFT、
92・・・回路TFT（n型TFT）、
93・・・回路TFT（p型TFT）。

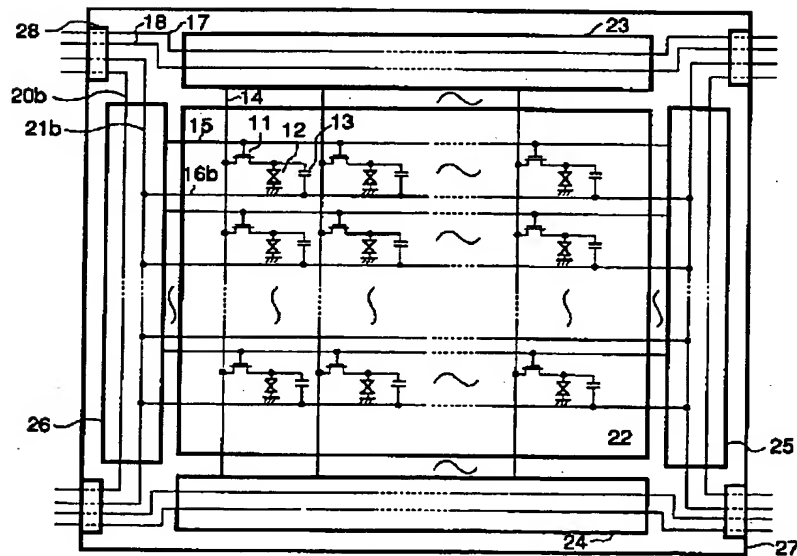
【図 1】



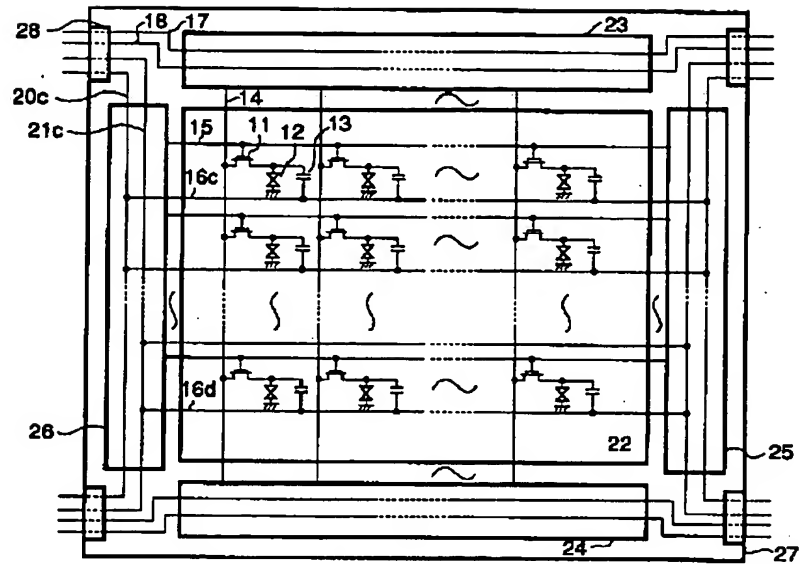
【図 2】



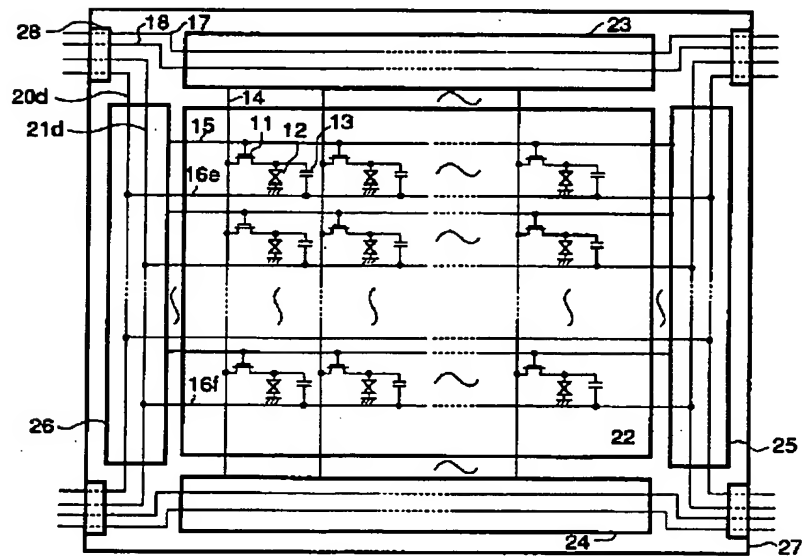
【図 3】



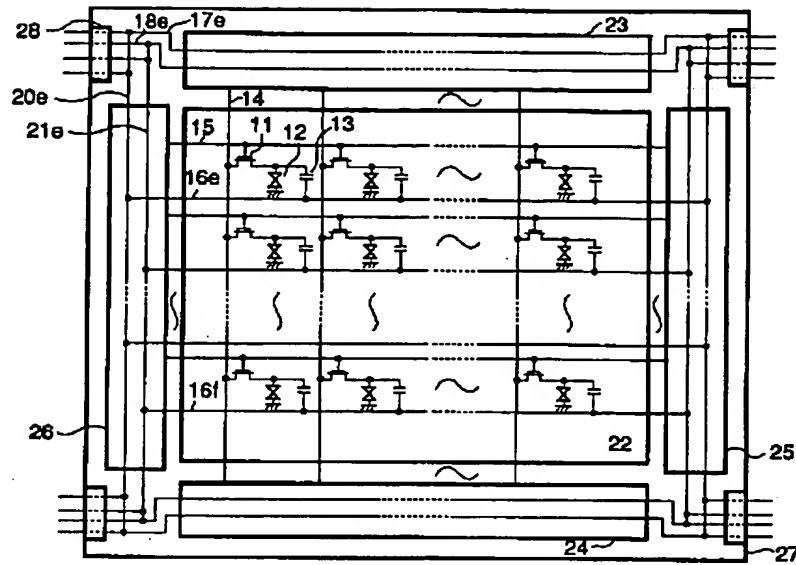
【図 4】



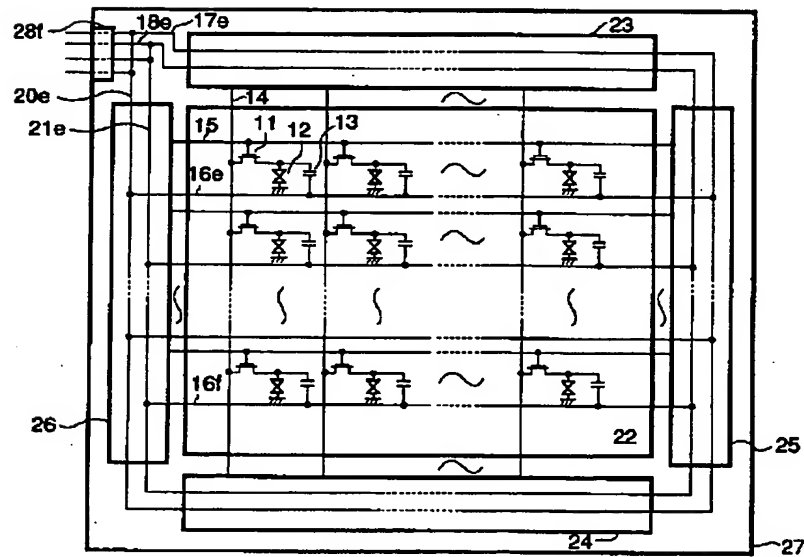
【図 5】



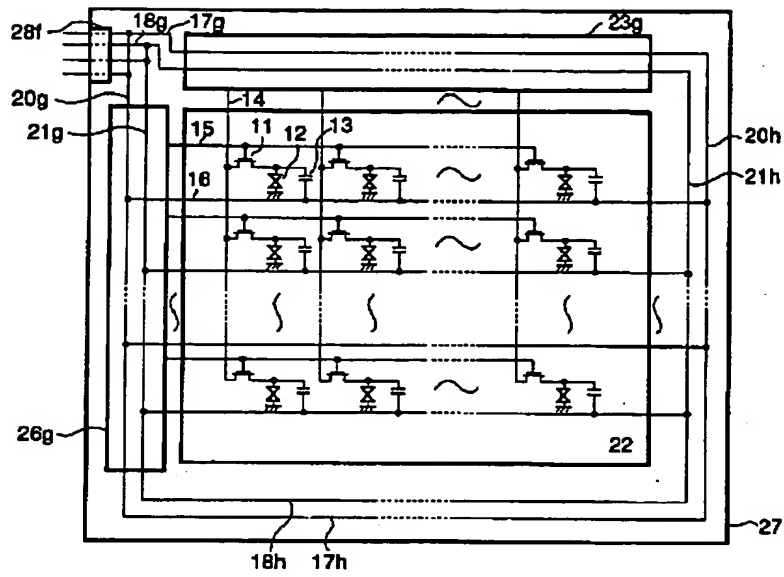
【図6】



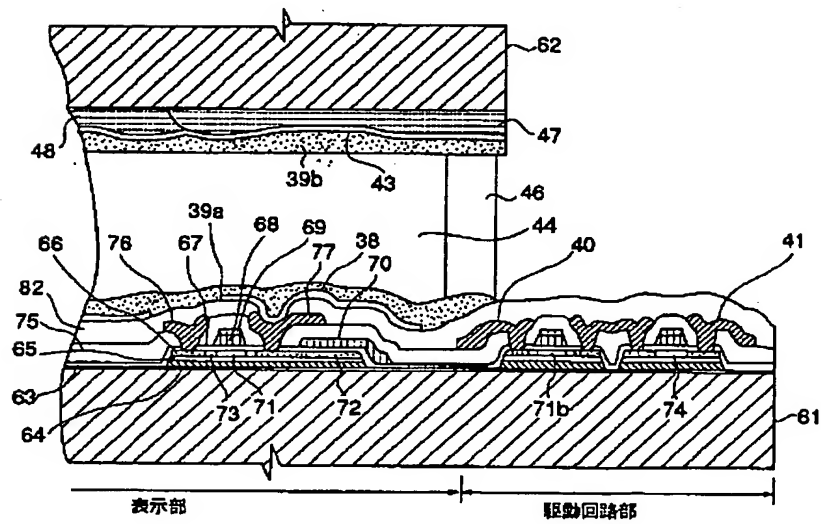
【図7】



【図 8】



【図 9】



The diagram illustrates a semiconductor device layout. It features a central array of memory cells organized in rows and columns. Each memory cell contains a storage capacitor (represented by two parallel lines) and an access transistor (represented by a triangle symbol). The access transistors are connected to horizontal word lines (labeled 11, 12, 13, 14, 15, 16). Vertical bit lines (labeled 17, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27) run through the array. The device is surrounded by peripheral control lines and connection pads, labeled 28, 29, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100. The layout is symmetrical, with the central array flanked by peripheral structures on both sides.